



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0039632
Application Number PATENT-2002-0039632

출원년월일 : 2002년 07월 09일
Date of Application JUL 09, 2002

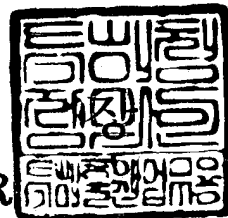
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.09
【발명의 명칭】	내장된 각 칩들의 성능을 충분히 동작시킬 수 있는 멀티 칩
【발명의 영문명칭】	Multi-chip capable of ensuring each operation of embedded chips
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	장철웅
【성명의 영문표기】	JANG,CHEOL UNG
【주민등록번호】	631030-1017318
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 극동 아파트 614동 1104호
【국적】	KR
【발명자】	
【성명의 국문표기】	최영준
【성명의 영문표기】	CHOI,YOUNG JOON
【주민등록번호】	630109-1074313

1020020039632

출력 일자: 2002/12/12

【우편번호】 463-480
【주소】 경기도 성남시 분당구 금곡동 142번지 청솔마을 814-1802
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 14 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 3 항 205,000 원
【합계】 234,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

내장된 각 칩들의 성능을 충분히 동작시킬 수 있는 멀티 칩이 개시된다. 본 발명의 멀티칩은 제1 칩 선택 신호에 의해 인에이블되고 제1 레디/비지 신호로 자신의 상태를 알리는 제1 칩과, 제2 칩 선택 신호에 의해 인에이블되고 제2 레디/비지 신호로 자신의 상태를 알리는 제2 칩을 포함한다. 멀티 칩은 외부 호스트와의 상호 동작을 위해 제어 신호들이 제1 및 제2 칩으로 연결된다. 본 발명의 멀티 칩에 의하면, 멀티 칩에 내장되는 칩들에 각각 대응되어 해당 칩의 상태를 나타내는 레디/비지 신호들을 갖는다. 레디 상태의 칩은 다른 칩의 비지 상태가 끝나기를 기다릴 필요없이 외부 호스트로부터 명령되는 동작을 수행할 수 있다. 이에 따라 멀티 칩을 내장하는 메모리 시스템은 종래의 t loss와 같은 시간 손실을 없앨 수 있기 때문에, 메모리 시스템의 성능이 향상된다.

【대표도】

도 3

【색인어】

멀티 칩, 레디/비지 신호, 칩 선택 신호, 호스트

【명세서】

【발명의 명칭】

내장된 각 칩들의 성능을 충분히 동작시킬 수 있는 멀티 칩{Multi-chip capable of ensuring each operation of embedded chips}

【도면의 간단한 설명】

도 1은 종래의 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다.

도 2는 도 1의 메모리 시스템의 동작 타이밍도를 나타내는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다.

도 4는 도 3의 메모리 시스템의 동작 타이밍도를 나타내는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 다수개의 불휘발성 메모리 장치로 구성되는 멀티 칩에 관한 것이다.

<7> 최근 전기적으로 프로그램/소거 가능한 불휘발성 메모리 장치의 수요가 증가하고 있다. 특히, 대용량의 데이터를 저장하기 위한 메모리 셀의 고집적화와 고속동작을 위한 고성능화를 갖춘 불휘발성 메모리 장치는 더욱 각광 받는다. 디지털 멀티 미디어 중 데

이터 저장 장치인 솔리드-스테이트-디스크(Solid-State-Disk: 이하 "SSD"라고 칭한다)와 확장 메모리 카드에서의 고용량을 실현하기 위하여, 다수개의 불휘발성 메모리 장치를 하나의 칩에 내장하는 멀티 칩이 개발되고 있다.

<8> 도 1은 종래의 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다. 도 1을 참조하면, 멀티 칩(100) 내부에는 제1 칩과 제2 칩(102, 104)를 포함하고, 호스트(110)와 멀티 칩(100)은 제어 신호들(Control signals)과 레디/비지 신호(Ready/Busy), 입출력 버스(I/O Bus), 그리고 칩 인에이블 신호들(CE1, CE2)을 통해 연결된다. 제1 칩 인에이블 신호(CE1)은 제1 칩(102)을 선택하는 신호이고, 제2 칩 인에이블 신호(CE2)는 제2 칩(104)를 선택하는 신호이다. 레디/비지 신호(Ready/Busy)는 제1 칩(102)과 제2 칩(104)에 연결되는 데, 제1 칩(102)의 상태를 나타내는 제1 레디/비지 신호(Ready/Busy1)와 제2 칩(104)의 상태를 나타내는 제2 레디/비지 신호(Ready/Busy2)와 연결된다. 도 1의 메모리 시스템의 동작 타이밍을 살펴보면 도 2와 같다.

<9> 도 2를 참조하면, 입출력 버스(I/O BUS)의 데이터 로딩에 앞서, 메모리 시스템의 셋업 커맨드와 제1 및 제2 칩에 각각 대응되는 어드레스가 입력된다. 이어서 제1 및 제2 칩에 대응되는 데이터들이 입력되는 데, DATA10, DATA11, DATA12 데이터들은 제1 칩에 대응되고 DATA20, DATA21, DATA22 데이터들은 제2 칩에 대응된다. 예를 들어, 입출력 라인(I/O BUS)에 로딩되는 DATA10 내지 DATA22 데이터들이 제1 및 제2 칩(102, 104, 도 1)에 각각 프로그래밍되는 데이터라고 가정하면, DATA10, DATA11, DATA12 데이터들이 제1 칩(102, 도 1)에 완전히 프로그램될 때까지 제1 레

디/비지 신호(Ready/Busy1)는 로우레벨로 활성화되는 구간(Busy_10, Busy_11, Busy_12)을 갖는다. 그리고 DATA20, DATA21, DATA22 데이터들이 제2 칩(104, 도 1)에 완전히 프로그램될 때까지 제2 레디/비지 신호(Ready/Busy2)는 로우레벨로 활성화되는 구간(Busy_20, Busy_21, Busy_22)을 갖는다. 이에 따라, 멀티 칩(100)의 출력인 레디/비지 신호(Ready/Busy)는 제1 레디/비지 신호(Ready/Busy1)와 제2 레디/비지 신호(Ready/Busy2) 어느 하나라도 로우레벨로 활성화되면 로우레벨로 발생된다. 로우레벨의 레디/비지 신호(Ready/Busy)는 멀티 칩(100, 도 1)의 상태가 비지(busy) 상태이므로 다른 명령을 수행할 수 없음을 나타낸다.

<10> 그런데, 이러한 메모리 시스템은 멀티 칩(100, 도 1) 내 제1 칩(102, 도 1)이 비지(busy) 상태가 끝나 다른 명령을 받아들일 수 있는 레디(ready) 상태에 있음에도 불구하고, 멀티 칩(100, 도 1) 내 제2 칩(104, 도 1)의 비지(busy) 상태에 의해 발생하는 멀티 칩(100)의 레디/비지 신호(Ready/Busy)로 인하여 제1 칩(102, 도 1)은 제2 칩(104, 도 1)의 비지(busy) 상태가 끝날 때까지 tloss 시간 동안 기다려야 한다. 이 tloss 시간은 메모리 시스템의 입장에서 일종의 시간 손실이 되어 멀티 칩의 성능을 떨어뜨리는 요인이 된다.

<11> 따라서, 내장된 각 칩들의 성능을 충분히 동작시킬 수 있는 멀티 칩이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 내장된 각 칩들의 성능을 충분히 동작시킬 수 있는 멀티 칩을 제공하는 데 있다.

【발명의 구성 및 작용】

- <13> 상기 목적을 달성하기 위하여, 일실시예에 따른 본 발명은 다수개의 칩을 내장하는 멀티칩에 있어서, 제1 칩 선택 신호에 의해 인에이블되고 제1 레디/비지 신호로 자신의 상태를 알리는 제1 칩과, 제2 칩 선택 신호에 의해 인에이블되고 제2 레디/비지 신호로 자신의 상태를 알리는 제2 칩을 포함한다. 멀티 칩은 외부 호스트와의 상호 동작을 위해 제어 신호들이 제1 및 제2 칩으로 연결된다.
- <14> 다른 실시예의 멀티 칩에서는 제1 칩 선택 신호에 의해 인에이블되고 제1 레디/비지 신호로 자신의 상태를 알리는 제1 칩과 제3 칩이 병렬로 연결되고, 제2 칩 선택 신호에 의해 인에이블되고 제2 레디/비지 신호로 자신의 상태를 알리는 제2 칩과 제4 칩이 병렬로 연결된다.
- <15> 따라서, 본 발명에 의하면 멀티 칩에 내장되는 칩들에 각각 대응되어 해당 칩의 상태를 나타내는 레디/비지 신호들을 갖는다. 레디 상태의 칩은 다른 칩의 비지 상태가 끝나기를 기다릴 필요없이 외부 호스트로부터 명령되는 동작을 수행할 수 있다. 이에 따라 멀티 칩을 내장하는 메모리 시스템은 종래의 tloss와 같은 시간 손실을 없앨 수 있기 때문에, 메모리 시스템의 성능이 향상된다.
- <16> 이하, 본 발명은 다수개의 칩을 하나의 패키지에 내장한 멀티 칩에 대하여 기술된다. 멀티 칩 내에 내장되는 칩들은 반도체 메모리 장치들 중에서도 불휘발성 메모리 장치인 것을 예로 들어 기술된다.
- <17> 도 3은 본 발명의 제1 실시예에 따른 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다. 멀티 칩(300)은 내부적으로 제1 및 제2 칩(302, 304)을 내장하고 외부적으로

로 제어 신호들(control Signals), 제1 칩 선택 신호(CE1), 제2 칩 선택 신호(CE2), 제1 레디/비지 신호(Ready/Busy1), 제2 레디/비지 신호(Ready/Busy2) 그리고 입출력 버스(I/O BUS)와 연결되는 입출력 데이터(DIO)를 통해 호스트(310)와 연결된다. 호스트(310)는 마이크로프로세서를 포함하여 메모리 시스템을 제어한다. 제1 칩(302)은 제1 칩 선택 신호(CE1)와 제1 레디/비지 신호(Ready/Busy1)에, 그리고 제2 칩(304)은 제2 칩 선택 신호(CE2)와 제2 레디/비지 신호(Ready/Busy2)에 각각 연결되고, 제1 및 제2 칩(302, 304)은 제어 신호들(Control Signals)과 입출력 데이터(DIO)에 공통으로 연결된다. 본 실시예의 메모리 시스템 동작은 도 4에 나타낸다.

<18> 도 4를 참조하면, 제1 칩(302)에 프로그래밍될 제1 데이터들(DATA10, DATA11, DATA12)과 제2 칩(304)에 프로그래밍될 제2 데이터들(DATA20, DATA21, DATA22)이 입출력 버스(I/O BUS)에 로딩된다. 제1 데이터들(DATA10, DATA11, DATA12)가 제1 칩(302)에 프로그래밍되는 동안, 제1 레디/비지 신호(Ready/Busy1)가 로우레벨로 활성화(Busy_10, Busy_11, Busy_12) 되어 제1 칩(302)이 비지(busy) 상태에 있음을 호스트(310)에게 전달한다. 제2 데이터들(DATA20, DATA21, DATA22)가 제2 칩(304)에 프로그래밍되는 동안, 제2 레디/비지 신호(Ready/Busy2)가 로우레벨로 활성화(Busy_20, Busy_21, Busy_22) 되어 제2 칩(304)이 비지(busy) 상태에 있음을 호스트(310)에게 전달한다.

<19> 따라서, 본 실시예의 메모리 시스템에서는 제1 및 제2 레디/비지 신호(Ready/Busy1, Ready/Busy2)가 제1 및 제2 칩(302, 304)의 상태를 호스트(310)에게 독립적으로 알리기 때문에, 제2 칩(304)이 비지(busy) 상태에 있더라도 제1 칩(302)이 레디(ready) 상태에 있으면 호스트(310)는 제1 칩(302)으로 명령을 보낼 수 있다. 이에 따

라 제1 칩(302)은 종래 제2 칩(304)의 비지 상태가 끝나기를 기다릴 필요없이 호스트(310)로부터 명령되는 동작을 수행할 수 있다.

<20> 도 5는 본 발명의 제2 실시예에 따른 멀티 칩을 포함하는 메모리 시스템을 나타내는 도면이다. 도 5를 참조하면, 멀티 칩(500)은 제1 내지 제4 칩(502, 504, 506, 508)을 내장한다. 멀티 칩(500)은 외부적으로 제어 신호들(control Signals), 제1 칩 선택 신호(CE1), 제2 칩 선택 신호(CE2), 제1 레디/비지 신호(Ready/Busy1), 제2 레디/비지 신호(Ready/Busy2) 그리고 입출력 버스(I/O BUS)와 연결되는 입출력 데이터(DIO)를 통해 호스트(510)와 연결된다. 제1 및 제2 칩(502, 504)는 제1 칩 선택 신호(CE1)와 제1 레디/비지 신호(Ready/Busy1)에 연결되고, 제3 및 제4 칩(506, 508)은 제2 칩 선택 신호(CE2)와 제2 레디/비지 신호(Ready/Busy2)에 연결된다. 제어 신호들(Control Signals)과 입출력 데이터(DIO)는 공통으로 제1 내지 제4 칩들(502, 504, 506, 508)에 연결된다.

<21> 본 실시예의 멀티칩(500)은 도 3의 멀티 칩(300)과 비교하여, 도 3의 제1 칩(302)이 제1 및 제2 칩(502, 504)으로 구성되고 도 3의 제2 칩(304)이 제3 및 제4 칩(506, 508)으로 구성된다. 이는 도 3의 멀티 칩(300)에 비하여 2배로 대용량화한 멀티 칩(500)이다. 그리고, 제1 레디/비지 신호(Ready/Busy1)가 제1 및 제2 칩(302, 304)의 상태를, 그리고 제2 레디/비지 신호(Ready/Busy2)가 제3 및 제4 칩(306, 308)의 상태를 각각 호스트(310)에게 독립적으로 알린다. 제3 및 제4 칩(506, 508)이 비지(busy) 상태에 있더라도 제1 및 제2 칩(502, 504)이 레디(ready) 상태에 있으면 호스트(510)는 제1 및 제2 칩(502, 504)으로 명령을 보낼 수 있다. 이에 따라 제1 및 제2 칩(502, 504)은 제3 및 제4 칩(506, 508)의 비지 상태가 끝나기를 기다릴 필요없이 호스트(510)로부터 명령되는 동작을 수행할 수 있다.

<22> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 따라서, 멀티 칩에 내장되는 칩들에 각각 대응되는 레디/비지 신호(Ready/Busy)를 두어 각 칩들의 상태를 외부 호스트에서 인식하고 제어할 수 있도록 함은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<23> 상술한 본 발명의 멀티 칩에 의하면, 멀티 칩에 내장되는 칩들에 각각 대응되어 해당 칩의 상태를 나타내는 레디/비지 신호들을 갖는다. 레디 상태의 칩은 다른 칩의 비지 상태가 끝나기를 기다릴 필요없이 외부 호스트로부터 명령되는 동작을 수행할 수 있다. 이에 따라 멀티 칩을 내장하는 메모리 시스템은 종래의 tloss와 같은 시간 손실을 없앨 수 있기 때문에, 메모리 시스템의 성능이 향상된다.

【특허청구범위】**【청구항 1】**

다수개의 칩을 내장하는 멀티칩에 있어서,

제 1 칩 선택 신호에 의해 인에이블되고 제1 레디/비지 신호로 자신의 상태를 알리는 제1 칩; 및

제2 칩 선택 신호에 의해 인에이블되고 제2 레디/비지 신호로 자신의 상태를 알리는 제2 칩을 구비하는 것을 특징으로 하는 멀티 칩.

【청구항 2】

제1항에 있어서, 상기 멀티칩은

외부 호스트와의 상호 동작을 위해 제어 신호들이 상기 제1 및 제2 칩으로 연결되는 것을 특징으로 하는 멀티 칩.

【청구항 3】

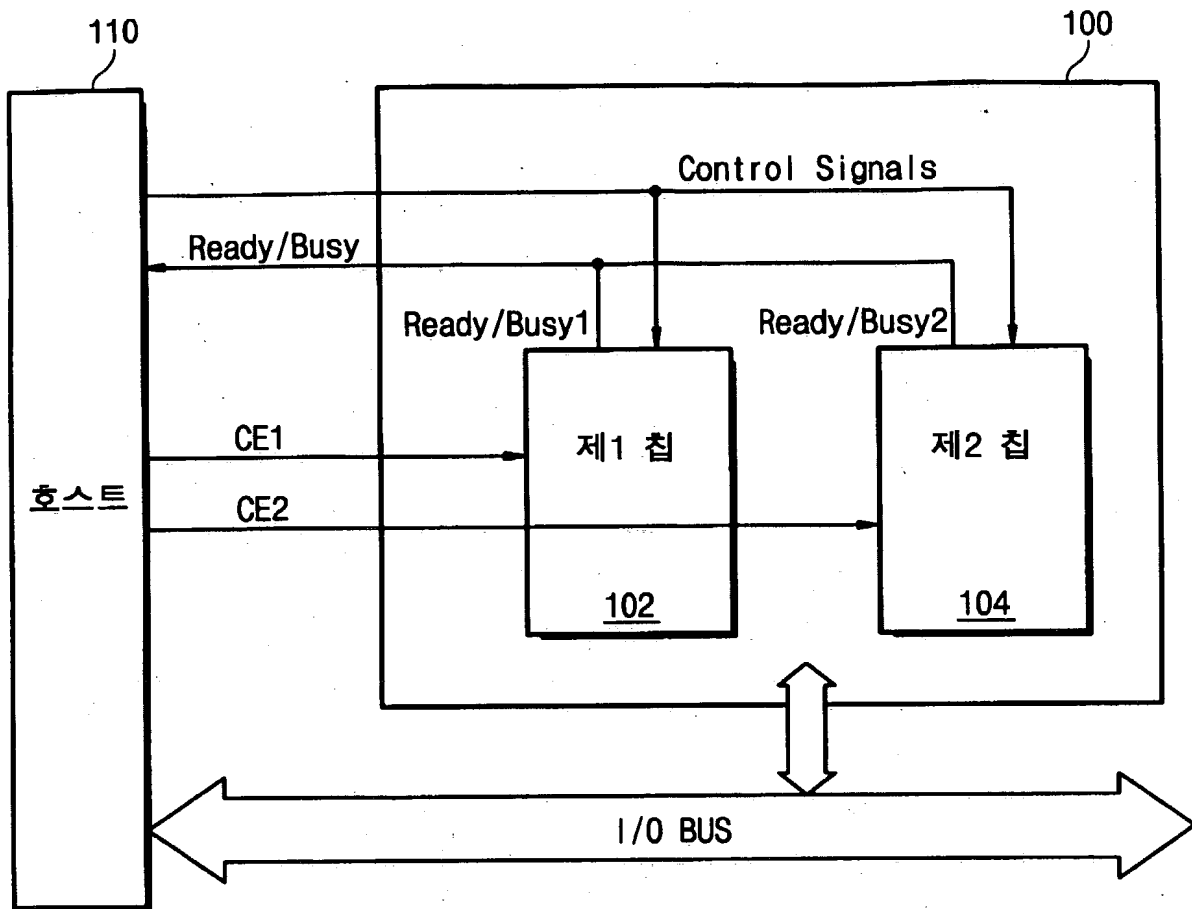
제1항에 있어서, 상기 멀티 칩은

상기 제1 칩 선택 신호에 의해 인에이블되고 상기 제1 레디/비지 신호로 자신의 상태를 알리며, 상기 제1 칩과 병렬로 연결되는 제3 칩; 및

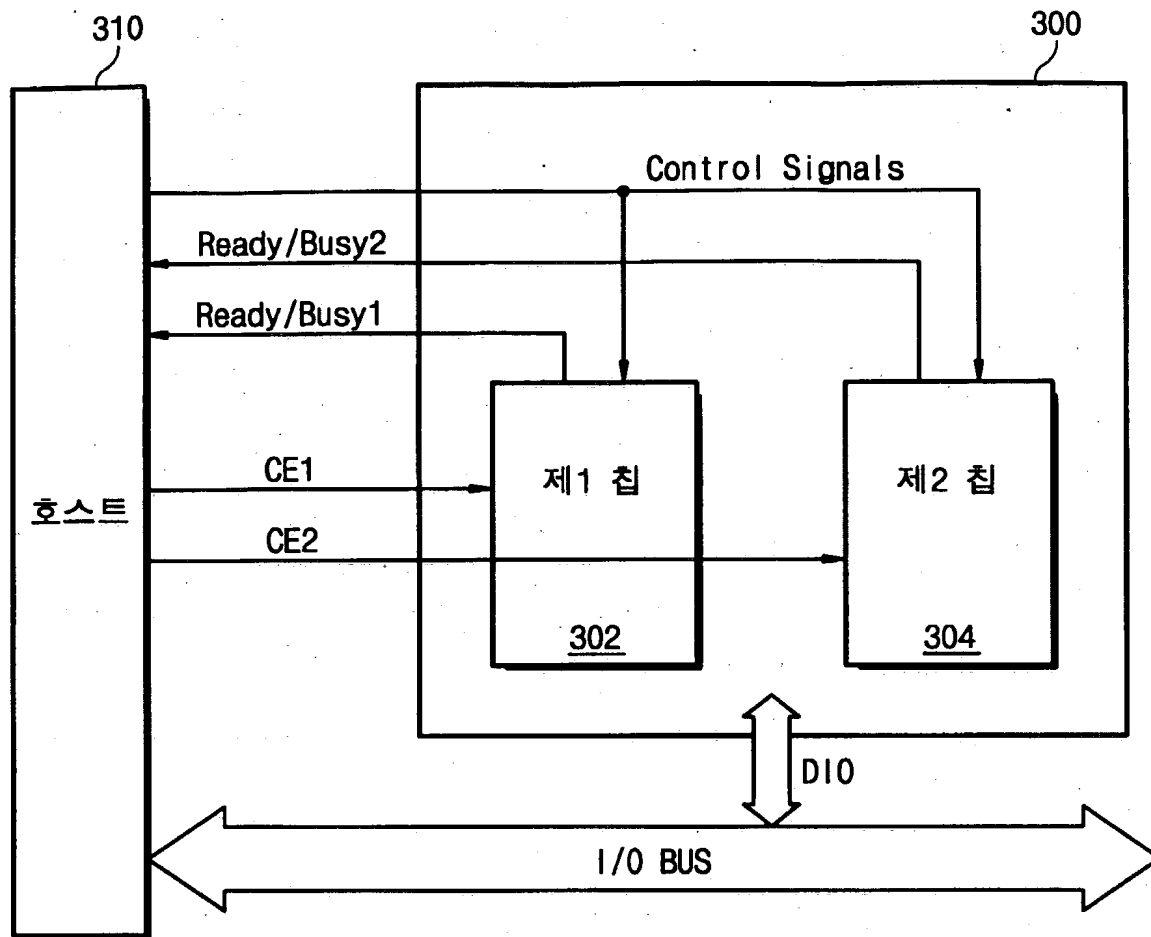
상기 제2 칩 선택 신호에 의해 인에이블되고 상기 제2 레디/비지 신호로 자신의 상태를 알리며, 상기 제2 칩과 병렬로 연결되는 제4 칩을 더 구비하는 것을 특징으로 하는 멀티 칩.

【도면】

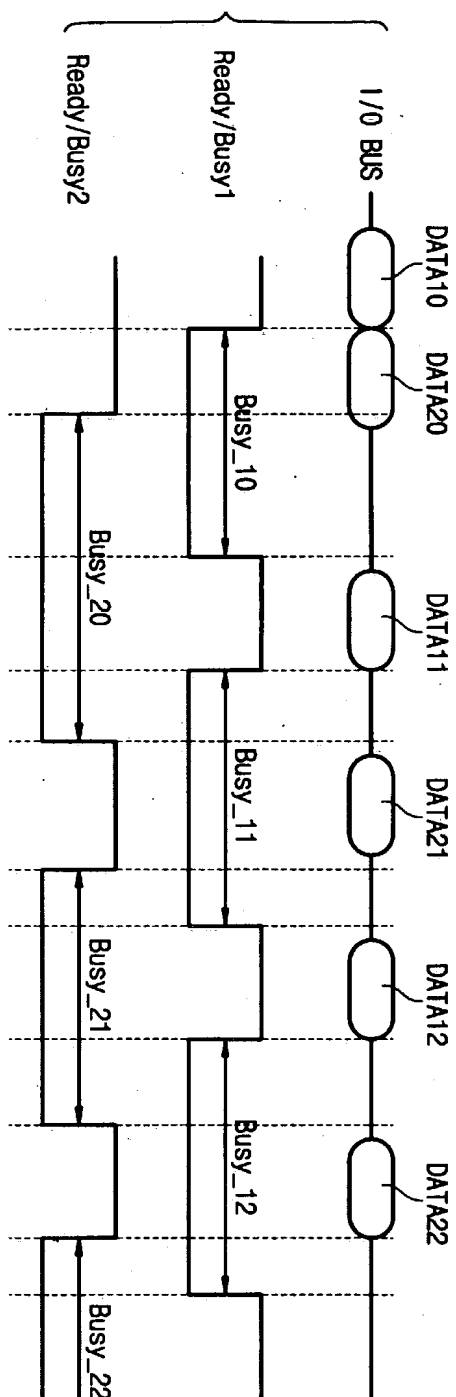
【도 1】



【도 3】



【도 4】



【도 5】

